

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Masaru OZAKI et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: June 27, 2003)	Confirmation No.: Unassigned
)	
For: SEMICONDUCTOR INTEGRATED)	
CIRCUIT CAPABLE OF)	
FACILITATING LAYOUT)	
MODIFICATION)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2002-318326
Filed: October 31, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: June 27, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : October 31, 2002

Application Number : Japanese Patent Application No. 2002-318326

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 27th day of December, 2002

Commissioner,

Japan Patent Office Shinichiro OTA

Certificate No. 2002-3102631

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月31日

出 願 番 号
Application Number:

特願2002-318326

[ST.10/C]:

[JP2002-318326]

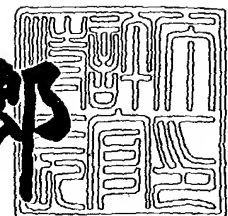
出 願 人
Applicant(s):

三菱電機株式会社

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3102631

【書類名】 特許願

【整理番号】 541866JP01

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 尾崎 傑

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松井 秀夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2002-318326

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 内部に配置した回路構成要素の変更に伴ってレイアウト変更される可変領域と、

上記可変領域内の回路構成要素の変更に伴ってレイアウト変更されず、閉回路としたときの信号伝達に関する特性が既知の回路を配置した固定領域とを備えた半導体集積回路。

【請求項 2】 新たに付加する回路構成要素を可変領域内に配置したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 可変領域側に配置された回路構成要素と固定領域内の回路構成要素との間を電氣的に接続する配線を、上記回路構成要素間を結ぶ直線経路に沿って配置したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 レイアウト変更によって可変領域側に回路構成要素が配置されない空き領域が生じた場合、当該空き領域だけ拡大した配置領域を充たすように上記可変領域内の回路構成要素を配置することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】 可変領域と固定領域との間に介在する配線にノイズ防止用のパスコンデンサを設けたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】 新たに付加する回路構成要素を可変領域及び固定領域とは別個に配置したことを特徴とする請求項 1 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路内の回路構成要素の変更に伴うレイアウト変更を容易に行うことができる半導体集積回路に関するものである。

【0002】

【従来の技術】

従来、マイクロコンピュータ（以下、マイコンと略す）や A S I C (Applicat

ion Specific Integrated Circuit) などの半導体集積回路のチップレイアウトでは、チップ面積をできるだけ小さくすることで、チップコストを最小化することが最優先の課題であった。具体的には、チップを構成するCPU、ROM、RAM、タイマ、及びUART (Universal Asynchronous Receiver Transmitter) などの集積回路、パッドセルなどのサブモジュールの配置方法（フロアプラン）も、インタフェース信号のタイミング制約を満たすという条件下でチップ面積を最小化するという観点から最適化されるのが一般的である。

【0003】

また、ROM/RAMを内蔵したワンチップマイコンでは、一般的にROM/RAMサイズや付随する周辺回路のバリエーションによって、複数の品種シリーズ展開を行うことが多い。これらワンチップマイコンにおいても、チップ面積を最小化する観点でレイアウトが実行されている。

【0004】

上述したようなチップ面積の最小化のみを考慮した半導体集積回路のレイアウト変更では、回路構成要素の機能や性能に変更がある度に回路全体のレイアウトを変更しなければならない。このため、回路構成要素の変更などに伴ったレイアウト変更に多大な労力を必要とするという不具合があった。

【0005】

このような不具合を解消する技術として、機能的に変更されることが少ない比較的固定した回路と、機能的に追加変更されやすい回路をチップ内で縦又は横方向に分離したレイアウトを行うものが提案されている（特許文献1参照）。

【0006】

【特許文献1】

特開昭61-190969号公報

【0007】

【発明が解決しようとする課題】

従来では、半導体集積回路の回路構成要素を変更する場合、チップ面積が最小化されるようにレイアウト全体を変更しなければならない上に、回路全体の特性評価をやり直さなければならないという課題があった。これにより、回路構成要

素の変更に係るチップレイアウト設計やその特性の検証・評価に多大の開発人工を要していた。

【0008】

また、特許文献1に開示された発明では、機能的に変更されることが少ない比較的固定した回路と、機能的に追加変更されやすい回路を分離してレイアウトするもので、回路特性の検証・評価を意図したレイアウト設計が行われたい。このため、レイアウト変更後の回路全体の特性検証・評価をやり直さなければならない可能性があり、回路構成要素の変更における労力の低減を図ることができない場合がある。

【0009】

この発明は上記のような課題を解決するためになされたもので、半導体集積回路内の変更が予定された回路構成要素を配置する領域を可変部分とし、閉回路としたときの信号伝達に関する特性が既知の回路を配置した領域を固定部分として、上記回路構成要素の変更に伴うレイアウト変更を可変部分についてのみ実行することで、レイアウト変更及びこれに伴う回路の特性検証・評価に要する労力を低減することができる半導体集積回路を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係る半導体集積回路は、内部に配置した回路構成要素の変更に伴ってレイアウト変更される可変領域と、可変領域内の回路構成要素の変更に伴ってレイアウト変更されず、閉回路としたときの信号伝達に関する特性が既知の回路を配置した固定領域とを備えるものである。

【0011】

【発明の実施の形態】

実施の形態1、

図1はこの発明の実施の形態1による半導体集積回路の構成を概略的に示す図である。実施の形態1による半導体集積回路1は、大まかにCPUコア2及び周辺機能部3が配置された固定部分（固定領域）と、RAM4及びROM5が配置された可変部分（可変領域）とから構成される。また、上述した内部回路の周囲

には、これらに電源電位を供給する電源配線 6 及び接地電位を供給する接地配線 7 が配置されている。さらに、その周囲には、上述した内部回路と外部とを電氣的に接続するためのターミナル端子であるパッド 8 が配置されており、それぞれに過電流などから内部回路を保護するためのパッド保護回路 9 が設けられている。RAM 4 及び ROM 5 の記憶容量は、例えばそれぞれ 1 0 K B 及び 6 4 K B とする。

【 0 0 1 2 】

本発明は、特許文献 1 で開示された「機能的に変更されることが少ない比較的固定した回路と機能的に追加変更されやすい回路をチップ内で縦又は横方向に分離したレイアウトを行う」という技術で不可避免的に発生するであろうレイアウト変更後の内部回路の特性検証・評価に要する多大な労力を低減するものである。

【 0 0 1 3 】

具体的には、半導体集積回路 1 内の機能や性能の変更が予定された回路構成要素（実施の形態 1 では、RAM 4 及び ROM 5 に相当する）を配置する領域を可変部分とする。また、閉回路としたときの信号伝達に関する特性が可変部分のレイアウト変更に伴って変化しない回路を配置する領域を固定部分とする。このように構成することで、レイアウト変更後において固定部分内の回路についてその特性を検証・評価する必要がないことから、特性検証・評価に要する労力を低減することができる。

【 0 0 1 4 】

この固定部分に配置すべき回路構成要素としては、CPU コア 2 を構成する演算処理回路やレジスタなどの記憶回路が挙げられる。また、周辺機能部 3 を構成する回路構成要素としては、内部バスと各回路構成要素との間の信号伝達を中継するバスインタフェース部、CPU コア 2 で処理すべき命令の割り込み制御を実施する割り込み制御部、タイマ、及びシリアル信号の I / O インタフェースなどが挙げられる。

【 0 0 1 5 】

これらの回路構成要素は、閉じた回路での信号伝達に関する特性が可変部分に配置された回路構成要素の変更によって変化しない回路を構成することできる。

これにより、当該固定部分に配置した回路について信号伝達に関するタイミング検証・評価などを実行しておくことで当該タイミング特性が既知となり、レイアウト変更時に固定部分のタイミング検証を省略することができる。

【0016】

また、可変部分には、上述したように機能や性能の変更が予定された回路構成要素が配置される。具体的に説明すると、半導体集積回路1をRAM4及びROM5を内蔵したワンチップ汎用マイコンで具現化した場合、RAM4やROM5の記憶容量を変更することでその品種展開を図ることができる。このようなRAM4やROM5が可変部分に配置される回路構成要素となる。

【0017】

図2は図1中の半導体集積回路についてRAM及びROMの変更に伴うレイアウト変更を実行した結果を概略的に示す図である。図2(a)は、RAM4及びROM5の記憶容量をそれぞれ2倍したRAM4a及びROM5aに置き換えた場合を示しており、図2(b)は、RAM4及びROM5から、記憶容量がそれぞれ32KB及び256KBであるRAM4b及びROM5bに置き換えた場合を示している。図2(a)、(b)に示すように、固定部分についてはレイアウト変更が一切行われな

【0018】

つまり、図1中のレイアウトから、図2(a)、(b)に示すように可変部分についてのみ縦方向（紙面上方向）に延ばしたレイアウトに変更される。このとき、パッド8やパッド保護回路9の相対的な配置関係は変わらず、縦方向に一括して移動・配置される。また、電源配線6や接地配線7は、レイアウトが縦方向に延長されて図2(a)において電源配線6a及び接地配線7aとなり、図2(b)において電源配線6b及び接地配線7bとなる。

【0019】

レイアウト変更後の半導体集積回路1においては、RAM4a及びROM5aやRAM4b及びROM5bの動作のタイミング検証に加え、可変部分側に配置されたパッド8と固定部分側の回路構成要素との間が電氣的に接続される場合、当該電気接続配線上の信号伝達に関するタイミング検証が実行される。

【0020】

以上のように、この実施の形態1によれば、半導体集積回路1内の機能や性能の変更（品種展開）が予定される回路構成要素（例えば、RAM4及びROM5）を配置する領域を可変部分とし、閉回路としたときの信号伝達に関する特性が既知であるCPUコア2や周辺機能部3から構成される回路を配置した領域を固定部分とし、RAM4及びROM5の品種展開に伴うレイアウト変更を可変部分についてのみ実行する。これにより、固定部分のレイアウト設計及びレイアウト検証を省略できる上に、固定部分に配置された回路の信号伝達に関するタイミング検証などを省略することができ、レイアウト変更及びこれに伴う回路の特性検証・評価に要する労力を低減することができる。また、製造後のチップ全体の特性評価においても固定部分の特性評価を省略することができる。

【0021】

なお、上記実施の形態1では、固定部分としてCPUコア2や周辺機能部3を単に1つにまとめて配置する旨を説明したが、可変部分に配置された回路構成要素の変更に伴うレイアウト変更後の1チップの面積を予め規定しておき、可変部分のレイアウト変更後の面積に応じて固定部分の面積を設定するようにしてもよい。

【0022】

可変部分にRAM4及びROM5を配置したワンチップ汎用マイコンを例に挙げると、チップ上に配置した際の面積がほぼ等しい、記憶容量がそれぞれ31KB及び384KBであるRAM4及びROM5の組み合わせと、記憶容量がそれぞれ31KB及び512KBの組み合わせとでは、同一面積の固定部分を設ける。この他に、チップ上に配置した際の面積がほぼ等しい、記憶容量がそれぞれ10KB及び128KBであるRAM4及びROM5の組み合わせと、記憶容量がそれぞれ4KB及び64KBの組み合わせとでは、同一面積の固定部分を設けるようにする。

【0023】

また、図3は図1中の半導体集積回路についてRAM及びROMの変更に伴って付加周辺機能部を追加した結果を概略的に示す図である。図中の半導体集積回

路 1 A は、図 1 中の RAM 4 及び ROM 5 から記憶容量がそれぞれ 2 0 K B 及び 1 9 2 K B である RAM 4 c 及び ROM 5 c に置き換えたものである。図 2 に示した例と同様に、可変部分についてのみ縦方向に延ばしたレイアウトに変更され、電源配線 6 や接地配線 7 が縦方向に延長されて電源配線 6 c 及び接地配線 7 c となる。

【 0 0 2 4 】

図 3 の例では、レイアウト変更後の可変部分に生じた空き領域に付加周辺機能部（新たに付加する回路構成要素）1 0 を配置している。付加周辺機能部 1 0 としては、例えば CAN（Controller Area Network）による通信機能を有する CAN 回路（主に、車載 LAN などに利用される）が挙げられる。本発明に係る半導体集積回路では、新たに付加すべき機能を提供する回路を可変部分に配置する回路構成要素とする。このように構成することで、付加周辺機能部 1 0 を含めた可変部分についてのレイアウト設計、レイアウト検証、及び、その信号伝達に関するタイミング検証を実行するだけでよく、レイアウト変更及びこれに伴う回路の特性検証・評価に要する労力を低減することができる。

【 0 0 2 5 】

実施の形態 2.

図 4 はこの発明の実施の形態 2 による半導体集積回路の構成を概略的に示す図であり、図 1 中の半導体集積回路を図 2（b）の構成にレイアウト変更した場合を示している。なお、図 2 と同一構成要素には同一符号を付して重複する説明を省略する。この実施の形態 2 は、図 4 に示すように、レイアウト変更後の RAM 4 b や可変部分側に配置されたパッド 8 と固定部分内の CPU コア 2 や周辺機能部 3 とを電氣的に接続する配線を、半導体集積回路 1 B のチップ中央に付近に位置する ROM 5 b を縦断する経路で設けたものである。

【 0 0 2 6 】

具体的には、例えば ROM 5 b 内のメモリセルを拡散パターンやポリシリコンパターンなどのマスタレイヤと、1，2 層アルミ配線などでレイアウトした場合、さらにこれらの上層に 3 層アルミ配線を設けて、RAM 4 b や可変部分側に配置されたパッド 8 と固定部分内の CPU コア 2 や周辺機能部 3 との間を電氣的に

接続する。

【0027】

このとき、可変領域側に配置された回路構成要素と固定領域内の回路構成要素との間を電氣的に接続する3層アルミ配線を、上記回路構成要素間を結ぶ直線経路に沿って配置することで、これら回路構成要素間の電氣的接続を最短の配線経路にて実現することができる。これにより、当該配線上の信号伝達に関するタイミング検証を省略若しくは簡略化させることができる。

【0028】

実施の形態3.

図5はこの発明の実施の形態3による半導体集積回路の構成を概略的に示す図である。なお、図2と同一構成要素には同一符号を付して重複する説明を省略する。図の例は、上記実施の形態1と同様にして図1中の半導体集積回路1から図2(b)の構成にレイアウト変更した場合を示しているが、レイアウト変更により可変部分と固定部分との間に生じたスペースを有効利用するレイアウト設計上の工夫を施す点で異なる。

【0029】

次に概要について説明する。

上記実施の形態1と同様にして図1中の半導体集積回路1を可変部分についてのみ縦方向（紙面上方向）に延ばしたレイアウトに変更すると、パッド8やパッド保護回路9の相対的な配置関係は変わらず、縦方向に一括して移動・配置される。また、電源配線6や接地配線7も縦方向に延長されることとなる。このとき、図5中の細線で囲んだ部分には、パッド8やこれに伴って設けられるパッド保護回路9が配置されない。

【0030】

つまり、当該部分では、パッド8やパッド保護回路9が配置されていた分だけチップ面積が遊んだ状態になっている。そこで、本実施の形態では、当該空き領域の近傍に位置する可変部分内の回路構成要素を、空き領域を含めて拡大させた配置領域に再レイアウトするものである。図示の例では、電源配線6d及び接地配線7dをチップの外周側に屈曲させて拡がった分の配置領域内に収まるように

ROM5dがレイアウトされる。

【0031】

このようにすることで、レイアウト変更により可変部分と固定部分との間に生じたレイアウトスペースを有効利用することができる。

【0032】

また、上記実施の形態において、レイアウト変更後の可変部分と固定部分との間に位置する電源配線6d及び接地配線7dに、図6に示すようなパスコンデンサ12を配置してもよい。これにより、電源配線6d及び接地配線7dにおけるノイズ発生を防止することができる。

【0033】

さらに、上記実施の形態において、可変部分に配置したRAM及びROMでは記憶容量が不十分な場合や、可変部分に配置したRAM及びROMを記憶容量が大きいものに変更するとレイアウト変更後のチップ形状が極度に扁平になってしまう場合、図7に示すように、可変部分内に配置せずに、チップ外周部のパッド8より外側の領域に拡張メモリ（新たに付加する回路構成要素）13を配置する。また、可変部分内に付加周辺機能部を追加することができない場合にも同様にして、チップ外周部のパッド8より外側の領域に付加周辺機能部（新たに付加する回路構成要素）を配置する。

【0034】

この場合、可変部分内の回路構成要素の変更に伴うレイアウト変更後に、可変部分内の回路に加えて、チップ外周部のパッド8より外側の領域に配置した回路についてのレイアウト設計、レイアウト検証、タイミング検証及びチップ製造後の特性評価のみを行えばよい。このように、チップ外周部のパッド8より外側の領域に付加周辺機能部を配置することで、レイアウト変更後のチップ形状の扁平化を抑制しつつ、新たな機能の追加や性能の変更を実行することができる。

【0035】

【発明の効果】

以上のように、この発明によれば、内部に配置した回路構成要素の変更に伴ってレイアウト変更される可変領域と、可変領域内の回路構成要素の変更に伴って

レイアウト変更されず、閉回路としたときの信号伝達に関する特性が既知である回路を配置した固定領域とを備えるので、固定部分のレイアウト設計及びレイアウト検証を省略できる上に、固定部分に配置された回路の信号伝達に関するタイミング検証などを省略することができ、レイアウト変更及びこれに伴う回路の特性検証・評価に要する労力を低減することができるという効果がある。また、製造後の半導体集積回路全体の特性評価においても固定部分の特性評価を省略することができるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体集積回路装置の構成を概略的に示す図である。

【図 2】 図 1 中の半導体集積回路について RAM 及び ROM の変更に伴うレイアウト変更を実行した結果を概略的に示す図である。

【図 3】 図 1 中の半導体集積回路について RAM 及び ROM の変更に伴って付加周辺機能部を追加した結果を概略的に示す図である。

【図 4】 この発明の実施の形態 2 による半導体集積回路の構成を概略的に示す図である。

【図 5】 この発明の実施の形態 3 による半導体集積回路の構成を概略的に示す図である。

【図 6】 電源配線及び接地配線にノイズ防止用のパスコンデンサを配置した例を示す図である。

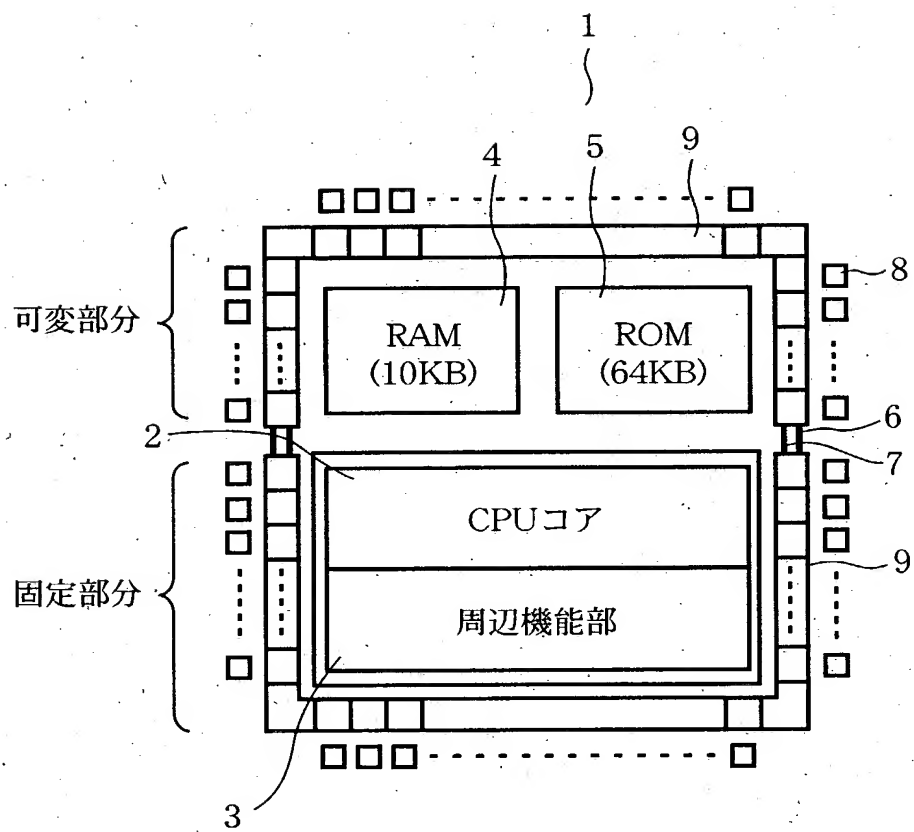
【図 7】 パッドの外側領域に拡張メモリを配置した例を示す図である。

【符号の説明】

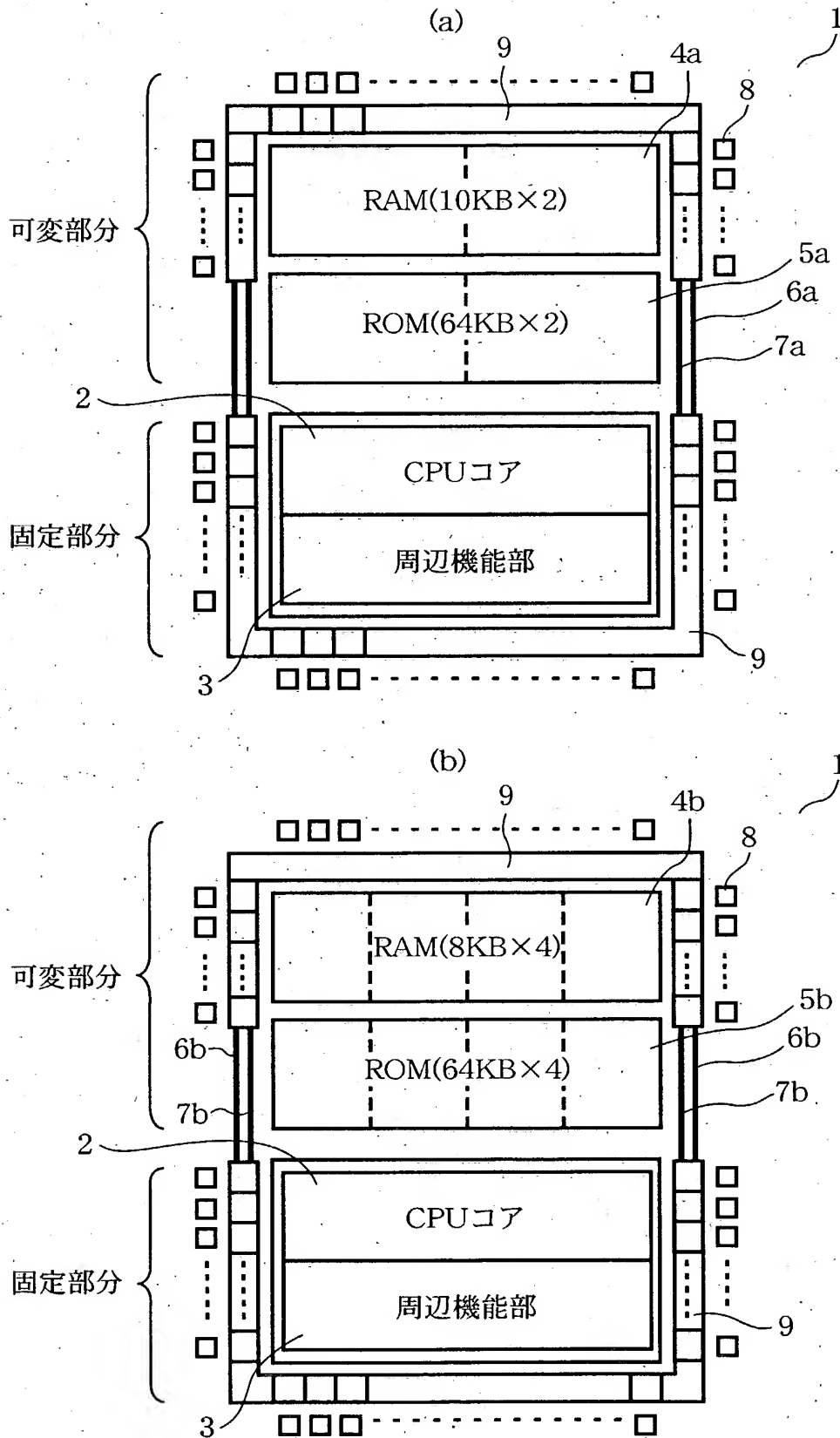
1, 1 A, 1 B 半導体集積回路、2 CPU コア、3 周辺機能部、4, 4 a, 4 b, 4 c RAM、5, 5 a, 5 b, 5 c, 5 d ROM、6, 6 a, 6 b, 6 c, 6 d 電源配線、7, 7 a, 7 b, 7 c, 7 d 接地配線、8 パッド、9 パッド保護回路、10 付加周辺機能部（回路構成要素）、11 配線、12 パスコンデンサ、13 拡張メモリ（回路構成要素）。

【書類名】 図面

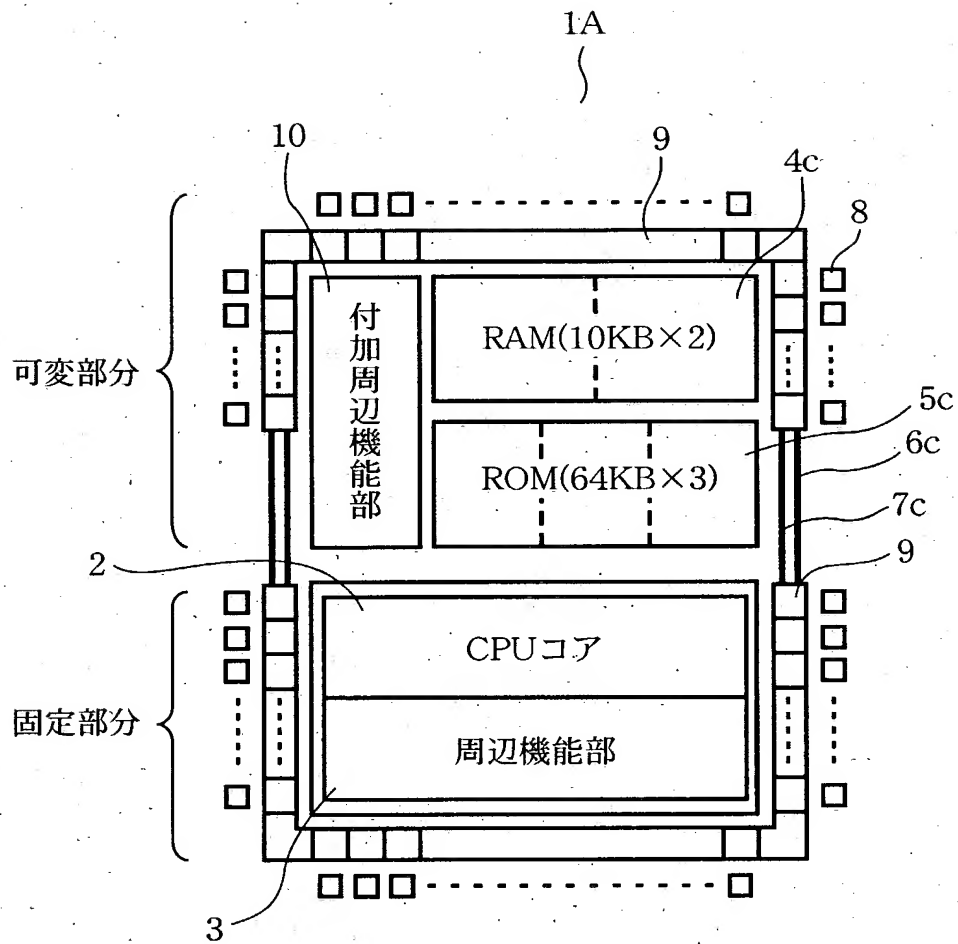
【図1】



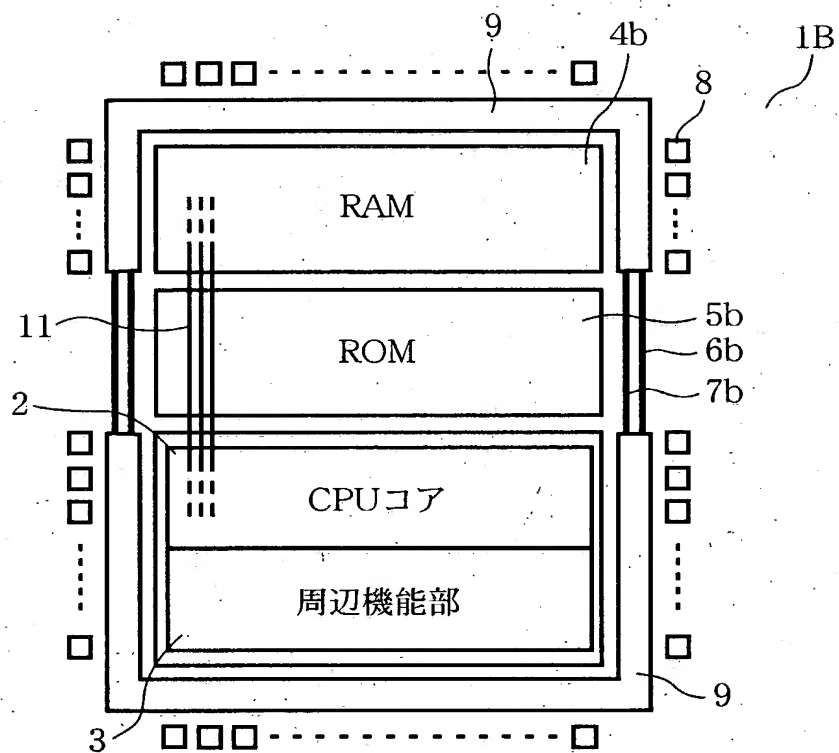
【図2】



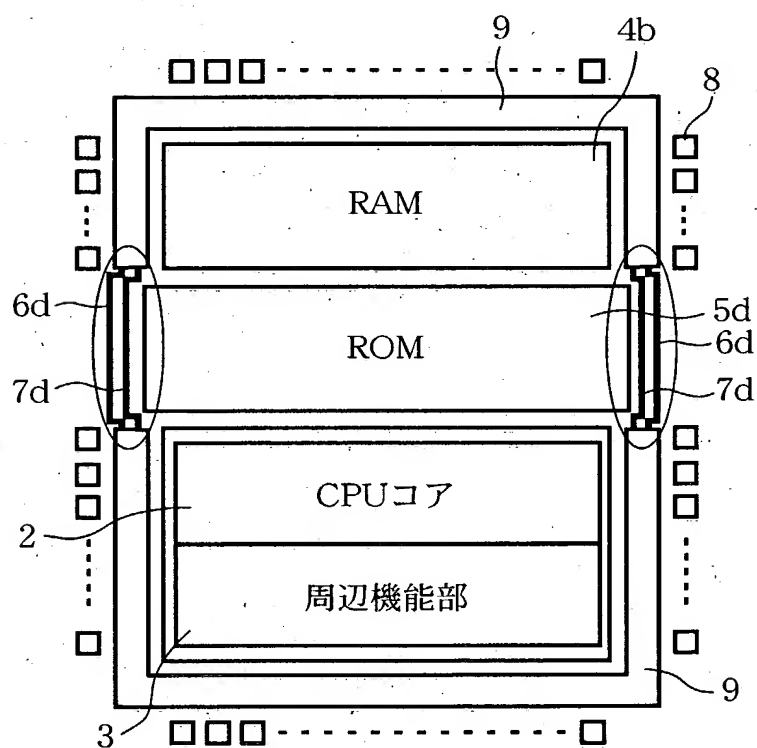
【図3】



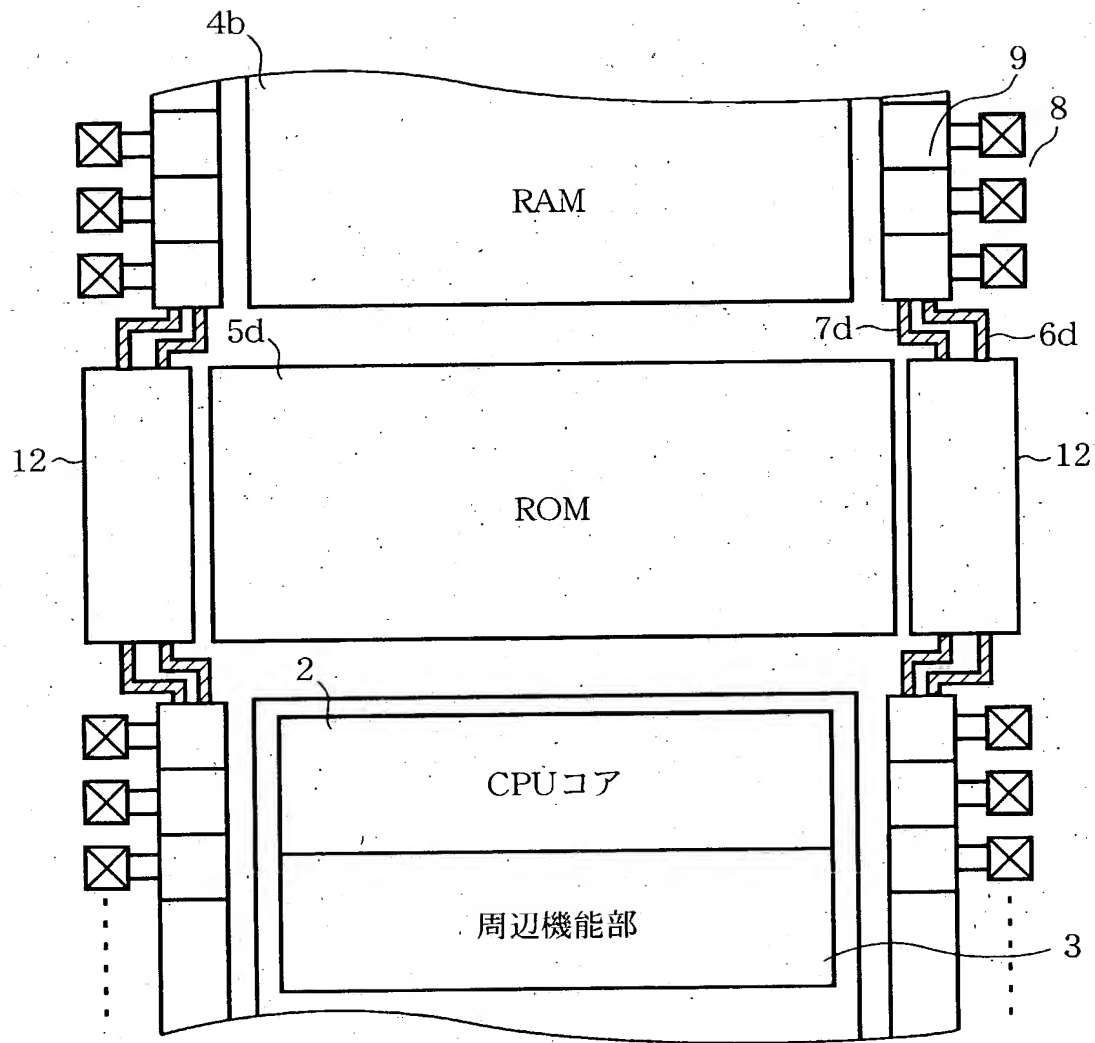
【図4】



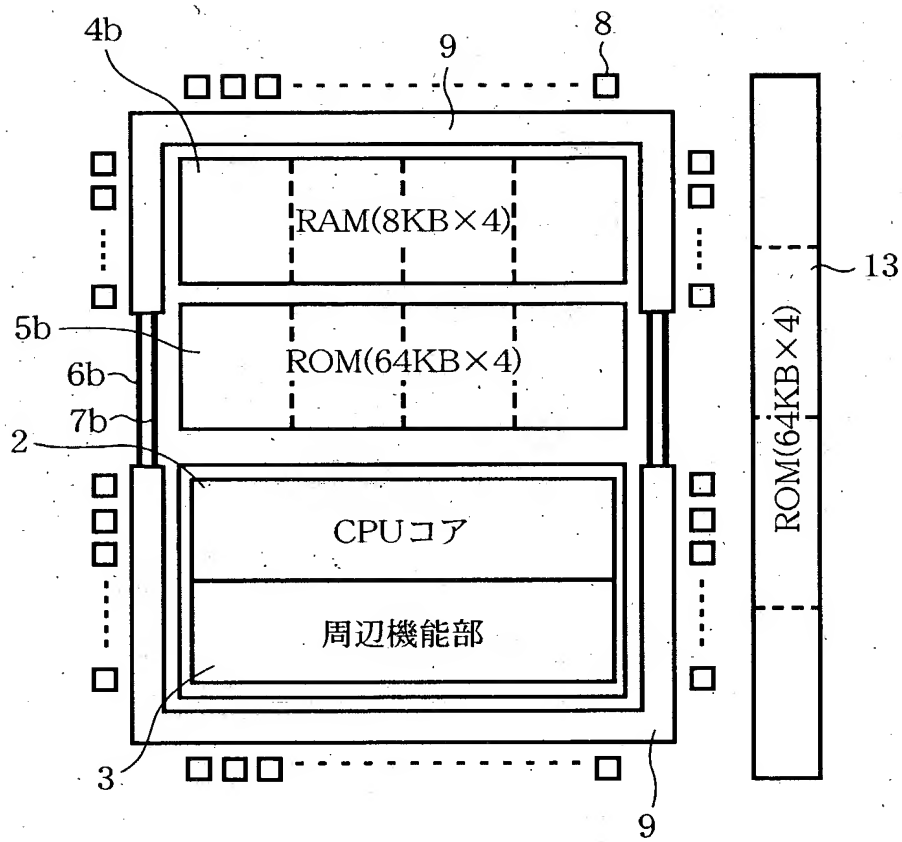
【图 5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 レイアウト変更及びこれに伴う回路の特性検証・評価に要する労力を低減することができる半導体集積回路を提供する。

【解決手段】 内部に配置した回路構成要素の機能や性能の変更に伴ってレイアウト変更される可変部分と、当該可変部分内の回路構成要素の変更に伴ってレイアウト変更されず、閉回路としたときの信号伝達に関する特性が既知であるCPUコア2や周辺機能部3などから構成される回路を配置した固定部分とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社